

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020078996 A
(43)Date of publication of application: 19.10.2002

(21)Application number: 1020010019525
(22)Date of filing: 12.04.2001
(30)Priority: ..

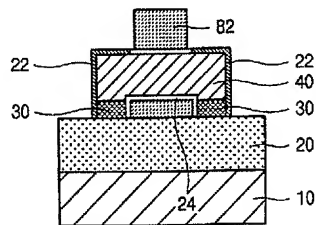
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: BAE, GEUM JONG
CHOI, TAE HUI
KIM, SANG SU
LEE, HWA SEONG
LEE, NAE IN

(51)Int. Cl. H01L 29/78

(54) SEMICONDUCTOR DEVICE HAVING GATE-ALL-AROUND TRANSISTOR AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device having a gate-all-around transistor is provided to be effective to widen the channel width of a transistor by making it a three dimensional structure and reduce the possibility of crystal damage in the channel. **CONSTITUTION:** A silicon on chip substrate is prepared, containing a silicon-germanium layer(30), a silicon layer(40), an oxide layer(20), a bottom substrate layer(10). The silicon-germanium layer and silicon layer are patterned as an active layer and a thermal insulation barrier is formed on it temporarily. An etch barrier pattern is dressed and then the thermal insulation barrier is removed by etching such as wet etching and then a channel-insulation barrier is formed on the exposed surface of the active layer. A conducting material layer formed on the etch barrier pattern defining the gate region is removed by CMP method so that the etch barrier is exposed and then removed by wet etching over the whole substrate. Therefore, A gate-all-around transistor is formed as the active layer is surrounded by gate electrode(82).



copyright KIPO 2003

Legal Status

Date of request for an examination (20010412)
Notification date of refusal decision ()
Final disposal of an application (registration)
Date of final disposal of an application (20030929)
Patent registration number (1004142170000)
Date of registration (20031223)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. ⁷
H01L 29/78

(11) 공개번호 특2002 - 0078996
(43) 공개일자 2002년10월19일

(21) 출원번호 10 - 2001 - 0019525
(22) 출원일자 2001년04월12일

(71) 출원인 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416번지

(72) 발명자 김상수
경기도김포시하성면후평리72 - 2번지
최태희
서울특별시마포구연남동570 - 41
이화성
서울특별시관악구봉천6동1679 - 2
배금중
경기도수원시권선구금곡동LG빌리지304동1402호
이내인
서울특별시관악구봉천3동관악현대@117동1504호

(74) 대리인 임창현
권혁수

심사청구 : 있음

(54) 게이트 올 어라운드형 트랜지스터를 가진 반도체 장치 및그 형성 방법

요약

게이트 올 어라운드형 트랜지스터를 가진 반도체 장치 및 그 형성 방법이 개시된다. 그 형성 방법은, 실리콘 게르마늄층과 실리콘층이 겹쳐 이루어진 단위 이중층을 적어도 하나 가지는 소이층, 매몰 산화층, 하부 기판층으로 이루어진 소이 기판을 준비하는 단계, 소이층을 패터닝하여 일방으로 형성된 활성층 패턴을 형성하는 단계, 활성층 패턴의 표면을 덮는 절연막을 형성하는 단계, 절연막으로 덮인 활성층 패턴 위로 식각 방지막을 적층하는 단계, 식각 방지막을 패터닝하여 활성층 패턴을 채널 영역에서 가로지르는 게이트 영역에서 제거하는 단계, 게이트 영역에서 절연막을 제거하는 단계, 등방성 식각을 통해 활성층 패턴의 채널 영역에서 실리콘 게르마늄층을 선택적으로 제거하여 공동을 형성하는 단계, 실리콘 게르마늄이 선택적으로 제거된 상태에서 드러난 활성층 패턴 표면을 덮는 게이트 절연막을 형성하는 단계, 기판에 게이트 도전층을 CVD로 적층하여 공동을 포함하는 게이트 영역을 채우는 단계를 구비하여 이루어진다. 활성층 패턴의 채널 영역에 해당하는 중간 부분이 나란히 형성된 복수개의 패턴으로 분리되도록 패터닝이 이루어지질 수 있다.

대표도
도 5b

명세서

도면의 간단한 설명

도1A 내지 도7C는 본 발명의 제1 실시예의 각 공정 단계에서의 평면도들과 각 평면도를 X축 및 Y축 방향으로 절단한 단면도들이다.

도8A 내지 도9C는 본 발명의 제2 실시예의 특징적 공정 단계에서의 평면도들과 각 평면도를 X축 및 Y축 방향으로 절단한 단면도들이다.

도11A 내지 도11C는 본 발명의 제3 실시예 장치의 평면도와 평면도를 X축 및 Y축 방향으로 절단한 단면도들이다.

도1A 내지 도7C는 본 발명의 제4 실시예 장치의 평면도와 평면도를 X축 및 Y축 방향으로 절단한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 게이트 올 어라운드형(Gate All Around type) 트랜지스터를 가진 반도체 장치 및 그 형성 방법에 관한 것이다.

반도체 장치의 소자 고집적화 경향에 따라 기판에 형성되는 개별 소자의 크기를 줄이면서 한편으로 소자 성능을 극대화시키기 위해 여러 가지 방법이 연구 개발되고 있다. 이들 방법들 가운데 소이(SOI:Silicon On Insulator)형 기판을 사용하는 방법과 수직형 트랜지스터(vertical transistor) 등 입체적 소자를 형성하는 방법 등이 제안되고 있다.

소이형 기판을 사용할 경우, 소자의 분리를 완전히 할 수 있어 고집적화에 따라 인근 소자가 서로 영향을 미치는 것을 방지할 수 있다. 더욱이, 소이형 기판을 사용할 경우, 접합 방식의 소자영역 분리 방식에 비해 내압이 높고, 높은 방사선 환경에서 접합부 전류 발생에 따른 문제를 줄일 수 있다는 장점도 가질 수 있다.

한편, 입체적 소자를 형성 방법과 관련하여, 대표적 입체적 소자 형성 방법으로는 DELTA(fully DEpleted Lean-channel Transistor) 구조와 GAA(Gate All Around) 구조를 들 수 있다. DELTA 구조의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)은 미국특허번호 4,996,574 등에 기재되어 있다. 이런 DELTA 구조에서는 채널을 형성할 활성층이 일정 폭을 가지고 수직으로 돌출되도록 형성된다. 그리고, 게이트 전극이 수직으로 돌출된 채널 부분을 감싸도록 형성된다. 따라서, 돌출된 부분의 높이가 채널의 폭을 이루고, 돌출된 부분의 폭이 채널층 두께가 된다. 이렇게 형성된 채널에서는 돌출된 부분의 양 면을 모두 이용할 수 있으므로 채널의 폭이 두배가 되는 효과를 가질 수 있다. 따라서, 통상의 트랜지스터에서 소자 영역 축소에 따라 채널 폭이 줄고, 채널 폭이 줄어들어 따라 협채널 효과(narrow channel effect)가 생기는 것을 방지할 수 있다.

또한, 돌출된 부분의 폭을 줄일 경우 양 면에 형성되는 채널의 공핍층이 서로 겹치도록 할 수 있고 (fully depleted), 따라서, 채널 도전성이 증가되는 효과가 있다.

그런데, DELTA 구조의 반도체 장치를 벌크형 실리콘 기판에서 구현하는 경우, 기판에 채널을 이루게 될 부분이 돌출

되도록 기판을 가공하고, 돌출된 부분을 산화방지막으로 덮은 상태에서 기판 산화를 실시한다. 산화를 과도하게 실시하면 채널을 이룰 돌출부와 기판 본체를 연결하는 부분은 산화방지막으로 보호되지 않는 부분에서 측방으로 확산된 산소에 의해 산화된다. 따라서, 채널은 기판 본체 부분과 격리된다. 이 과정에서 과도한 산화에 따라 채널 분리가 이루어지면서 연결부쪽 채널의 두께가 좁아지고, 단결정층이 산화 과정에서 압력을 받아 손상을 입는 문제가 있다.

소이형 기판을 DELTA 구조 형성에 사용할 경우 소이층을 좁은 폭을 가지도록 식각하여 채널 부분을 형성하므로 벌크형 기판을 사용할 때의 과도한 산화로 인한 문제는 없어진다. 그러나, 소이형 기판을 사용할 경우 결국 채널의 폭이 소이층의 두께에 의해 제한된다. 고집적 반도체 장치를 위한 완전 공핍 방식 (fully depletion type) 소이형 기판은 소이층 두께가 수백 옴스트롬에 불과하므로 사용에 제한이 따를 수 있다.

한편, GAA 구조에 따르면, 통상 소이형 기판에서 소이층으로 활성영역 패턴을 형성한다. 그리고, 게이트 전극 부분에 서 표면이 게이트 절연막으로 덮인 활성영역 패턴의 채널 부분을 게이트 전극층이 둘러싸도록 형성된다. 따라서 DELTA 구조에서 언급한 효과와 유사한 효과를 가지게 된다.

그러나, GAA 구조를 형성할 경우, 게이트 전극이 채널 부분에서 활성영역을 둘러싸도록 하기 위해 활성 영역 아래쪽의 매몰 산화층을 등방성 식각의 언더 컷 현상을 이용하여 식각해야 한다. 이 과정에서 등방성 식각을 함에 따라 활성 영역의 채널 부분 하부뿐 아니라 소오스/드레인 영역의 하부도 상당 부분 제거된다. 따라서, 게이트 전극층을 형성할 때 채널 부분뿐 아니라 소오스/드레인 영역의 하부에도 게이트 전극이 형성되어 기생 캐패시턴스(parasitic capacitance)가 커지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상술한 종래의 DELTA 구조나 GAA 구조의 문제점들을 줄이기 위한 것으로, 우선, 입체적 구조의 형성을 통해 채널 폭(channel width)을 늘리는 효과를 내는 트랜지스터 소자를 가진 반도체 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

동시에, 본 발명은 채널에 결정 손상이 발생할 위험을 줄일 수 있는 트랜지스터를 가지는 반도체 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 장치는, 소이 기판의 매몰 산화층 위에 일방으로 형성되며 차례로 소오스, 채널, 드레인 영역으로 구분되어 소오스/드레인 영역에는 실리콘 게르마늄층과 실리콘층이 적층되고, 채널 영역에는 폰다리 형태로 소오스/드레인 영역의 실리콘층과 연속되는 실리콘층이 구비되는 활성층 패턴, 활성층 패턴의 표면을 덮는 절연막, 활성층 패턴의 채널 영역을 전체를 둘러싸면서 활성층 패턴이 형성된 방향과 수직으로 매몰 산화층 위에 형성되는 게이트 전극을 구비하여 이루어진 트랜지스터를 가진다.

본 발명에서 활성층 패턴 표면에 형성된 절연막은 소오스/드레인 영역 표면과 채널 영역 표면에 형성된 절연막의 두께와 성분이 각각 다를 수 있다.

본 발명에서, 활성층 패턴 가운데 소오스/드레인 영역은 매몰 산화층 위에 실리콘 게르마늄층과 실리콘층이 각각 한 층씩 존재할 수 있고, 실리콘 게르마늄층과 실리콘층이 복수로 교대 적층될 수 있다. 실리콘 게르마늄층과 실리콘층이 복수로 교대 적층된 경우에 채널 영역에서는 실리콘 게르마늄층 대신에 게이트 전극을 이루는 도전 물질층이 채워지고, 실리콘층은 소오스/드레인 영역의 실리콘층과 연속하게 위치한다. 게이트 전극을 이루는 도전 물질층과 실리콘층 사이

에는 게이트 절연막으로 기능하는 절연막이 존재한다.

본 발명에서, 활성 영역은 소오스/드레인 영역에서 하나의 패턴을 이루는 것과 달리 채널 영역에서 일방으로 나란히 형성되는 복수 개의 부분으로 나누어질 수 있다.

상기 목적을 달성하기 위한 본 발명의 반도체 장치 형성 방법은, 실리콘 게르마늄층과 실리콘층이 겹쳐 이루어진 단위 이중층을 적어도 하나 가지는 소이층, 매몰 산화층, 하부 기판층으로 이루어진 소이 기판을 준비하는 단계, 소이층을 패터닝하여 일방으로 형성된 활성층 패턴을 형성하는 단계, 활성층 패턴의 표면을 덮는 절연막을 형성하는 단계, 절연막으로 덮인 활성층 패턴 위로 식각 방지막을 적층하는 단계, 식각 방지막을 패터닝하여 활성층 패턴을 채널 영역에서 가로지르는 게이트 영역에서 제거하는 단계, 게이트 영역에서 절연막을 제거하는 단계, 등방성 식각을 통해 활성층 패턴의 채널 영역에서 실리콘 게르마늄층을 선택적으로 제거하여 공동을 형성하는 단계, 실리콘 게르마늄이 선택적으로 제거된 상태에서 드러난 활성층 패턴 표면을 덮는 게이트 절연막을 형성하는 단계, 기판에 게이트 도전층을 CVD로 적층하여 공동을 포함하는 게이트 영역을 채우는 단계를 구비하여 이루어진다.

소이층을 패터닝하여 활성층 패턴을 형성하는 단계에서 활성층 패턴의 채널 영역에 해당하는 중간 부분이 나란히 형성된 복수개의 패턴으로 분리되도록 패터닝이 이루어질 수 있다.

본 발명에서 절연막과 게이트 절연막은 실리콘층 및 실리콘 게르마늄층으로 이루어진 활성영역의 표면을 열산화시켜 형성하는 것이 바람직하다.

이하 도면을 참조하면서 실시예를 통해 본 발명을 보다 상세히 설명한다.

(실시예 1)

도1A, 1B, 1C를 참조하면, 실리콘 게르마늄층(30')과 실리콘층(40')이 겹쳐 이루어진 이중층으로 이루어진 소이층, 매몰 산화층(20), 하부 기판층(10)으로 구분된 소이 기판이 형성된다. 도 1A는 소이 기판을 나타내는 평면도이고, 도 1B, 도 1C는 각각 소이 기판을 도 1A의 X-X', Y-Y' 방향으로 절단한 단면을 나타내는 단면도들이다.

이런 소이 기판을 만드는 방법은 여러 가지가 될 수 있다. 가령, 하나의 벌크형 기판의 표면에 일정 두께 열산화막을 형성하고, 다른 벌크형 기판에 실리콘 게르마늄 단결정층을 에피택셜층으로 형성시킨 뒤 두 기판을 맞대어 용접하고, 게르마늄 단결정층이 형성된 벌크형 기판의 배면을 대부분 CMP로 제거하는 방법을 사용할 수 있다. 기타, 매몰 산화층 형성에 산소 이온주입법 등이 사용될 수 있다.

도2A, 2B, 2C를 참조하면, 소이층을 패터닝하여 활성층 패턴(30,40)을 형성한다. 활성층 패턴은 X-X 방향으로 길게 형성된다. 활성층 패턴(30,40)의 폭과 길이는 필요에 따라 달리 형성될 수 있다. 실리콘 게르마늄 단결정층의 두께가 크고 활성층 패턴의 폭이 크게 형성될 경우 후속 실리콘 게르마늄 단결정층을 제거하는 단계에서 소오스/드레인 영역으로 언더 컷이 확대됨을 고려하여 실리콘 게르마늄 단결정층의 두께와 활성층 패턴의 폭은 작게하는 것이 바람직하다. 높이는 소이 기판을 형성할 때 결정된다. 매몰 산화층의 두께는 대개 1 마이크로 미터 이하이며, 실리콘 게르마늄 단결정층의 두께는 2000 옹스트롬 이하인 1000 옹스트롬 정도가, 실리콘 단결정층의 두께는 300 내지 1500 옹스트롬 정도가 바람직하다.

도3A, 3B, 3C를 참조하면, 활성층 패턴(30,40) 표면을 열산화시켜 100 옹스트롬 정도의 절연막(50)을 형성한다. 절연막(50)은 질소 분위기에서 활성층 패턴(30,40) 표면을 질화시켜 형성하는 것도 가능하며, 절연성막을 활성층 표면에 CVD로 증착시키는 방법도 가능하다. 열산화 전후에서 채널 이온주입을 실시할 수 있다.

도4A, 4B, 4C를 참조하면, 절연막(50)으로 덮인 활성층 패턴(30,40) 위로 실리콘 질화막으로 이루어진 식각 방지막이 적층된다. 식각 방지막은 절연막(50)과 식각 선택비를 가지는 물질이 바람직하며, 아몰퍼스 실리콘막으로 형성하는 것도 가능하다. 단, 매몰 산화층(20)과 식각 선택비를 가져야 한다. 식각 방지막을 적층한 뒤 포토리소그래피(photo-lithography)를 이용한 패터닝 과정을 통해 게이트 영역에서 식각 방지막을 제거하여 식각 방지막 패턴(60)을 형성한다. 이때 이방성 식각을 실시하며 활성층 패턴(30,40)을 덮는 절연막(50) 즉, 열산화막과 매몰 산화층(20)이 식각 저지막이 된다. 게이트 영역은 활성층 패턴(30,40)을 가로지르는 방향으로 형성되며, 활성층 패턴(30,40)의 중간 부분인 채널 영역과는 위에서 볼때 겹치게 된다. 따라서 식각 방지막이 게이트 영역에서 제거되면서 절연막(50)으로 덮인 활성층 패턴(30,40)의 채널 영역이 드러난다.

도5A, 5B, 5C를 참조하면, 드러난 활성층 패턴(30,40)의 채널 영역을 덮는 절연막(50), 즉, 열산화막을 제거한다. 열산화막 제거를 위해서는 이방성 식각보다 묽은 불산 용액을 이용하는 습식 식각, 기타 등방성 식각을 이용하는 것이 바람직하다. 따라서 소오스 드레인 영역의 절연막(22)만 남게 된다. 가운데 그리고, 이어서 드러난 채널 영역의 활성층 패턴(30,40) 가운데 실리콘 게르마늄 단결정층으로 이루어진 하층 활성층 패턴(30)을 선택적으로 식각하여 제거한다. 실리콘 게르마늄 단결정층으로 이루어진 하층 활성층 패턴(30)은 성장 과정에서 소오스 가스로 사일렌과 저마인 가스를 사용하여 게르마늄의 함량이 20 혹은 30 중량% 이상으로 형성하는 것이 바람직하다.

채널 영역에서 하층 활성층 패턴(30)을 선택적으로 식각하기 위해 필수적으로 등방성 식각을 이용한다. 건식 식각을 사용할 경우, SF_6 같은 에천트를 사용하며 플라즈마를 형성하는 것이 식각력 향상을 위해 바람직하다. 게르마늄의 함량이 40% 정도인 경우, 등방성 식각에서 에천트에 대한 게르마늄 실리콘 단결정층과 실리콘 단결정층의 식각 선택비는 수산화암모늄(NH_4OH), 과산화수소(H_2O_2), 및 순수(H_2O)를 부피비 1:1:5로 섞은 혼합용액을 사용할 때 온도 75°C 에서 33:1 정도가 되며, 같은 조건에서 실리콘 게르마늄층과 실리콘 산화막의 식각 선택비는 100:1 정도가 된다. 에천트로 SF_6 와 산소의 혼합 플라즈마를 사용할 경우 실리콘 게르마늄과 실리콘의 선택비는 12:1 정도를 유지할 수 있다. 기타 원자층 식각(Atomic Layer Etching) 방식도 사용될 수 있다. 이들 각 식각 방법은 단독으로 혹은 조합되어 사용될 수 있다.

도6A, 6B, 6C를 참조하면, 실리콘 게르마늄 단결정층으로 이루어진 하층 활성층 패턴(30)이 채널 영역에서 제거된 뒤 게이트 절연막의 역할을 할 채널부 절연막(24)을 활성층 패턴(30,40)의 노출된 표면에 형성하게 된다. 통상, 게이트 절연막은 열산화나 열질화를 통해 열산화막, 열질화막으로 형성하나, 스텝 커버리지가 좋은 CVD(Chemical Vapor Deposition)나 ALD(Atomic Layer Deposition)를 이용하여 알미늄 산화막, 탄탈륨 산화막, 티타늄 산화막, 지르코늄 산화막, 해프늄 산화막, 기타 고유전막으로 형성할 수 있다. 채널부 절연막(24) 형성 전에 채널 영역의 실리콘 단결정층으로 이루어지는 상층 활성층 패턴(40)이 각지게 형성되는 것을 완화시키기 위해 수소 열처리 등의 방법을 실시할 수 있다. 채널부 절연막(24)의 두께는 형성된 트랜지스터 소자의 기능에 따라 달라지나 구동 회로용 소자에서는 10 내지 50 옹스트롬 정도로 형성하게 된다.

그리고, 게이트 전극을 이룰 도전 물질층(80)을 CVD 방법으로 기판에 적층한다. 따라서, 채널 영역의 상층 활성층 패턴(40)과 매몰 산화층(20) 사이의 빈 공간을 포함하여 식각 방지막이 제거된 게이트 영역은 도전 물질층(80)으로 채워진다. 도전 물질층(80)은 공극이 없도록 깎 필 능력이 우수한 물질을 CVD를 이용하여 형성하는 것이 바람직하다. 도전 물질로는 폴리 실리콘, 폴리 실리콘 게르마늄, 텅스텐, 텅스텐 질화물, 티타늄 질화막과 텅스텐의 이중층, 알미늄, 폴리브덴, 탄탈륨 등을 사용할 수 있다.

도7A, 7B, 7C를 참조하면, 게이트 영역을 정의하는 식각 방지막 패턴(60) 위로 적층된 도전 물질층(80)이 전면 이방

성 식각 혹은 CMP 등의 방법으로 제거된다. 따라서, 식각 방지막이 드러난다. 인산 습식 식각을 통해 식각 방지막을 전 기관에 걸쳐 제거한다. 따라서, 상층 활성층 패턴(40)의 채널 영역이 게이트 절연막, 즉, 채널부 절연막(24)을 개재한 상태로 게이트 전극(82)으로 둘러싸인 게이트 올 어라운드(GAA) 구조의 트랜지스터가 형성된다. 게이트 전극을 형성할 도전 물질로는 폴리실리콘이나 CVD 텅스텐 등을 사용할 수 있다.

후속적으로 활성층 패턴의 소오스/드레인 영역에 대한 이온주입이 이루어질 수 있고, 중간 절연막 적층, 콘택홀 형성을 이용하여 소오스/드레인 영역과 게이트 전극 각각에는 콘택이 연결될 수 있다.

(실시예 2)

도8A에서 도9C까지는 본 발명 방법의 다른 실시예를 나타낸다.

도8A, 8B, 8C를 참조하면, 도5A와 같이 실리콘 게르마늄 단결정층으로 이루어진 하층 활성층 패턴(30)이 채널 영역에서 선택적으로 제거된 단계에서 드러난 상층 활성층 패턴(40)의 채널 영역 표면 산화를 통해 게이트 절연막, 즉 채널부 절연막(24)을 형성한다. 그리고, 식각 방지막 패턴(60)을 습식 식각을 통해 전면적으로 제거한다. 이 상태에서 게이트 전극을 형성할 도전 물질층(90)을 적층한다. 이때 채널 영역의 하층 활성층 패턴도 선택적으로 제거되어 형성된 공극도 도전 물질층(90)으로 채워진다.

도9A, 9B, 9C를 참조하면, 도전 물질층(90)이 적층된 기관에 도시되지 않은 포토레지스트로 게이트 패턴을 형성하고, 이방성 식각을 실시하여 게이트 영역에 게이트 전극(92)을 남긴다. 따라서, 활성층 패턴(40)의 채널 영역이 게이트 절연막(24)을 개재한 상태로 게이트 전극(92)으로 둘러싸인 게이트 올 어라운드(GAA) 구조의 트랜지스터가 형성된다.

(실시예 3)

도10A, 10B, 10C를 참조하면, 본 발명의 다른 실시예에 따른 게이트 올 어라운드 구조의 트랜지스터가 도시되어 있다. 그 형성 방법은 실리콘 게르마늄층과 실리콘층이 겹쳐 이루어진 단위 이중층이 2개 구비된 소이층을 가진 소이 기관을 사용하는 외에 이상의 실시예 1과 특별한 차이를 갖지 않는다. 형성 방법을 간단히 설명하면, 실리콘 게르마늄층과 실리콘층이 겹쳐 이루어진 단위 이중층이 2개 구비된 소이층, 매물 산화층, 하부 기관층으로 이루어진 소이 기관을 준비한다. 소이층을 패터닝하여 일방으로 형성된 활성층 패턴을 형성한다. 활성층 패턴의 표면을 덮는 절연막을 형성하고, 절연막으로 덮인 활성층 패턴 위로 식각 방지막을 적층한다. 식각 방지막을 패터닝하여 활성층 패턴을 채널 영역에서 가로지르는 게이트 영역에서 제거한다. 게이트 영역에서 절연막을 제거하고, 등방성 식각을 통해 활성층 패턴의 채널 영역에서 실리콘 게르마늄층을 선택적으로 제거한다. 이때 이상에서 본 실시예와 달리 두 곳에 통공이 형성된다. 실리콘 게르마늄이 선택적으로 제거된 상태에서 드러난 활성층 패턴 표면을 덮는 게이트 절연막(24)을 형성하고, 식각 방지막 패턴을 제거한다. 기관 전면에 도전 물질층을 CVD로 적층하여 두 곳의 통공을 채우고 활성층 패턴을 덮는다. 패터닝을 통해 게이트 영역에 도전 물질층을 남겨 게이트 전극(102)을 형성한다.

(실시예 4)

도11A, 11B, 11C를 참조하면, 본 발명의 또 다른 실시예에 따른 게이트 올 어라운드 구조의 트랜지스터가 도시되어 있다.

본 실시예를 형성하는 방법은 실시예 2와 같은 형성 방법을 거치되, 소이층을 패터닝하여 활성층 패턴을 형성하는 단계에서 소오스/드레인 영역은 통합되고, 채널 영역은 두 부분으로 분리된 도11A에 도시된 것과 같은 활성층 패턴을 형성하는 것이다.

실시예 3과 실시예 4에 따르면 다중으로 분기된 채널을 형성함으로써 트랜지스터의 채널 폭을 확대하는 효과를 가질 수 있다.

발명의 효과

본 발명에 따르면, 실리콘층과 실리콘 게르마늄층의 식각 선택비를 이용하여 활성층 패턴의 채널 영역에서 실리콘 게르마늄층을 선택적으로 제거하고 도전성 물질을 채워 게이트 올 어라운드 구조의 트랜지스터를 형성하므로, 공정상의 문제나 채널층 손상에 따른 제품 신뢰성 저하를 줄이면서 고집적 반도체 장치에서 트랜지스터 채널 폭을 넓히는 효과를 가질 수 있다.

(57) 청구의 범위

청구항 1.

소이 기관의 매몰 산화층 위에 일 방향으로 형성되며, 차례로 소오스/채널/드레인 영역으로 구분되고, 상기 소오스/드레인 영역에는 실리콘 게르마늄층과 실리콘층으로 된 이중층이 적어도 하나 구비되고, 상기 채널 영역에는 상기 이중층 가운데 상기 소오스/드레인 영역의 실리콘층과 연속되는 실리콘층만 구비되어 이루어지는 활성층 패턴,

상기 활성층 패턴의 표면을 덮는 절연막,

상기 활성층 패턴의 채널 영역 전체를 상기 절연막을 개재한 상태로 둘러싸며, 상기 활성층 패턴이 형성된 방향과 수직 방향으로 상기 매몰 산화층 위에 형성되는 게이트 전극을 구비하여 이루어지는 트랜지스터를 가지는 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 절연막은 상기 활성층 패턴의 상기 채널 영역과 상기 소오스/드레인 영역에서 다른 물질 또는 다른 두께로 이루어지는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 3.

제 1 항에 있어서,

상기 소오스/드레인 영역에 상기 이중층이 2개 형성되는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 4.

제 1 항에 있어서,

상기 채널 영역에서 상기 활성층 패턴은 복수 개로 분기되며, 상기 게이트 전극은 상기 분기된 활성층 패턴을 각각 둘러싸도록 형성된 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 5.

제 1 항에 있어서,

상기 절연막은 상기 활성층 패턴의 표층 열산화를 통해 형성된 것임을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 6.

제 1 항에 있어서,

상기 절연막은 CVD 절연막으로 이루어지는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 7.

제 1 항에 있어서,

상기 게이트 전극은 실리콘 또는 CVD 텅스텐으로 이루어지는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 8.

제 1 항에 있어서,

상기 실리콘 게르마늄층 및 상기 실리콘층은 단결정으로 이루어지는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 9.

제 1 항에 있어서,

상기 실리콘 게르마늄층은 게르마늄 함량이 30 중량% 이상인 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치.

청구항 10.

실리콘 게르마늄층과 실리콘층이 겹쳐 이루어진 단위 이중층을 적어도 하나 가지는 소이층, 매몰 산화층, 하부 기판층으로 이루어진 소이 기판을 준비하는 단계,

상기 소이층을 패터닝하여 일 방향으로 형성된 활성층 패턴을 형성하는 단계,

상기 활성층 패턴의 표면을 덮는 절연막을 형성하는 단계,

상기 절연막으로 덮인 활성층 패턴 위로 식각 방지막을 적층하는 단계,

패터닝을 통해 상기 식각 방지막을 상기 활성층 패턴을 채널 영역에서 가로지르는 게이트 영역에서 제거하여 식각 방지막 패턴을 형성하는 단계,

상기 게이트 영역에서 상기 절연막을 제거하는 단계,

등방성 식각을 통해 상기 활성층 패턴의 채널 영역에서 상기 실리콘 게르마늄층을 선택적으로 제거하여 공동을 형성하는 단계,

상기 실리콘 게르마늄층이 선택적으로 제거된 기판에서 드러난 활성층 패턴 표면을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막이 형성된 기판에 도전 물질층을 적층하여 상기 공동을 포함하는 상기 게이트 영역에 게이트 전극을 형성하는 단계를 구비하여 이루어지는 트랜지스터를 가지는 반도체 장치 형성 방법.

청구항 11.

제 10 항에 있어서,

상기 게이트 전극을 형성하는 단계는 상기 게이트 절연막을 형성하는 단계에 이어

상기 도전 물질층을 적층하는 단계,

상기 식각 방지막 패턴의 상면이 드러나게 상기 도전 물질층을 평탄화 식각하는 단계 및

상기 식각 방지막 패턴을 식각하여 제거하는 단계를 구비하여 이루어지는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치 형성 방법.

청구항 12.

제 10 항에 있어서,

상기 게이트 전극을 형성하는 단계는 상기 게이트 절연막을 형성하는 단계에 이어

상기 식각 방지막 패턴을 식각으로 제거하는 단계,

상기 도전 물질층을 적층하는 단계 및

상기 도전 물질층을 패터닝하는 단계를 구비하여 이루어지는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치 형성 방법.

청구항 13.

제 10 항에 있어서,

상기 소이층을 패터닝하는 단계에서 상기 채널 영역에는 상기 활성층 패턴이 복수 개로 분기되도록 패터닝을 실시함을 특징으로 하는 트랜지스터를 가지는 반도체 장치 형성 방법.

청구항 14.

제 10 항에 있어서,

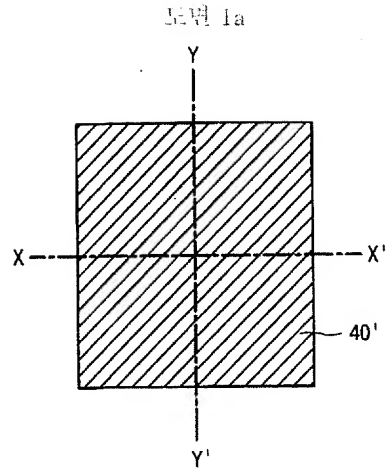
상기 절연막과 상기 게이트 절연막은 노출된 상기 활성층 패턴 표면을 열산화시켜 형성하되 각각 다른 두께로 열산화시켜 형성함을 특징으로 하는 트랜지스터를 가지는 반도체 장치 형성 방법.

청구항 15.

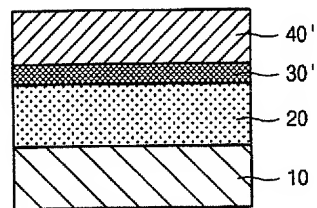
제 10 항에 있어서,

상기 등방성 식각은 건식 플라즈마 식각과 습식 식각의 조합에 의해 이루어지는 것을 특징으로 하는 트랜지스터를 가지는 반도체 장치 형성 방법.

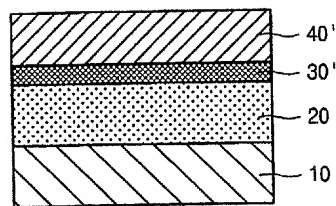
도면



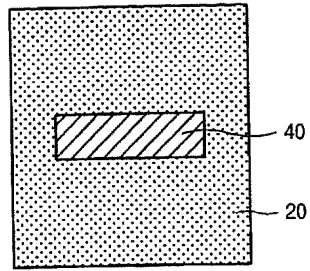
도면 1b



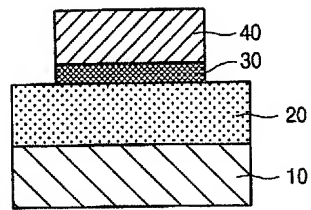
도면 1c



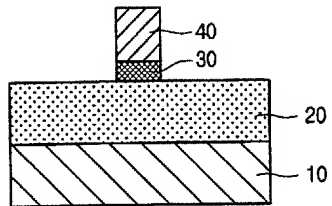
도면 2a



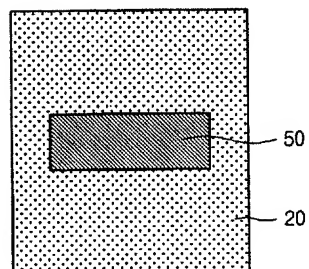
도면 2b



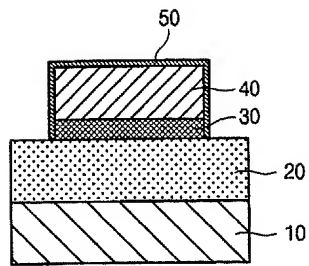
도면 2c



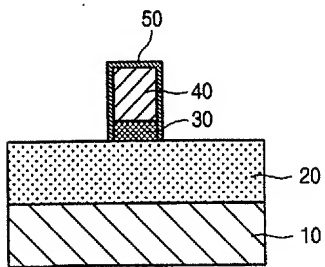
도면 3a



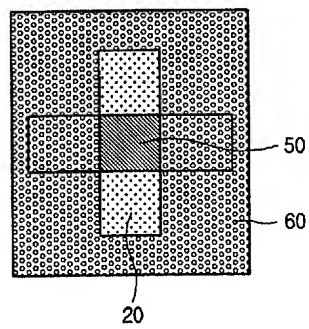
도면 3b



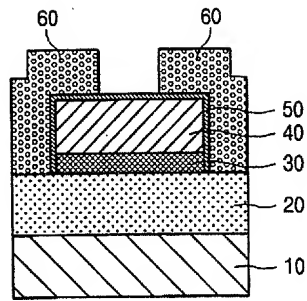
도면 3c



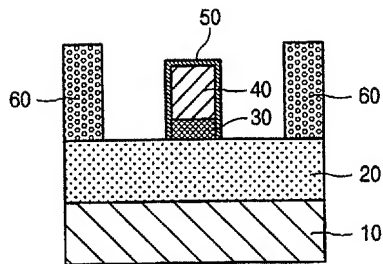
도면 4a



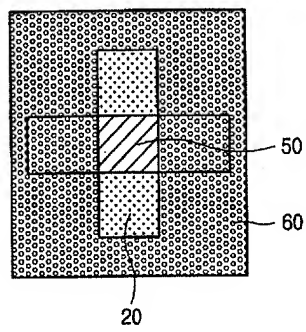
도면 4b



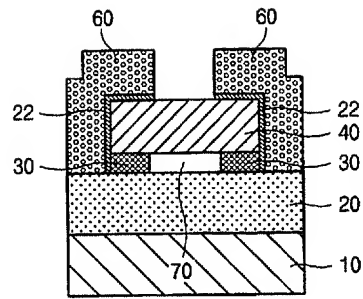
도면 4c



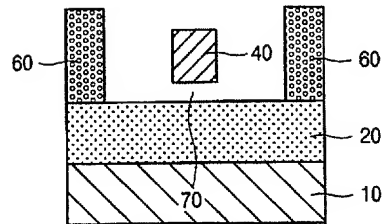
도면 5a



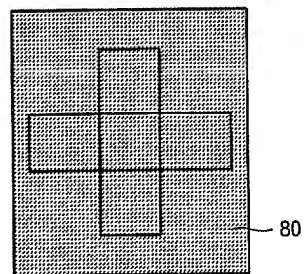
도면 5b



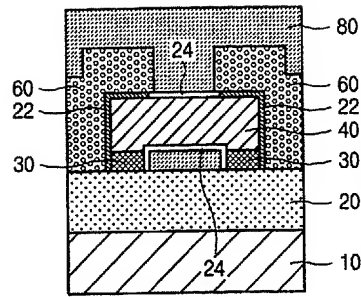
도면 5c



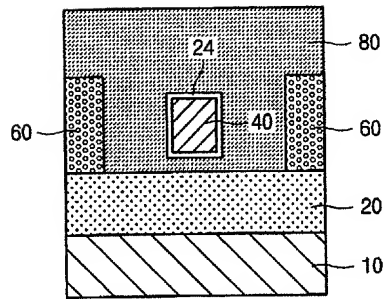
도면 6a



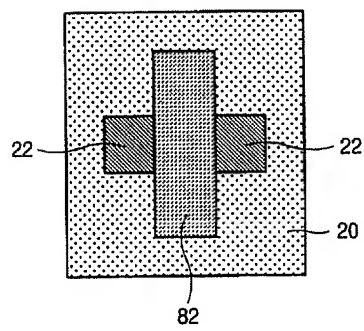
도면 6b



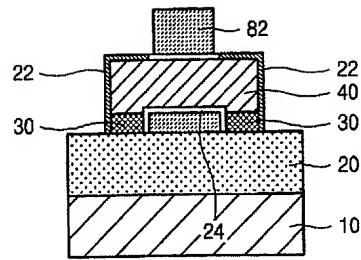
도면 6c



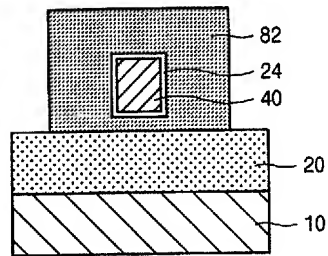
도면 7a



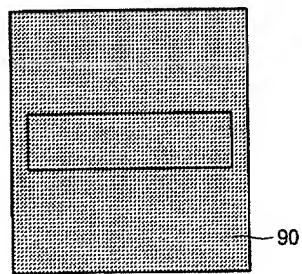
도면 7b



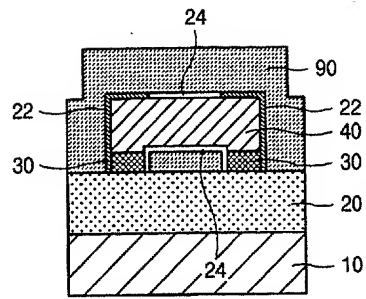
도면 7c



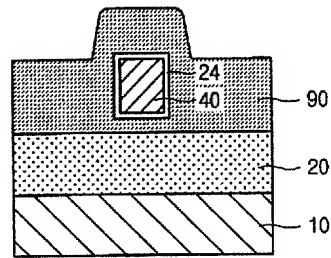
도면 8a



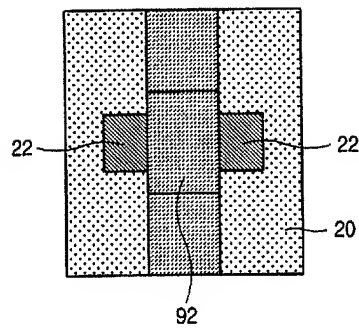
도면 8b



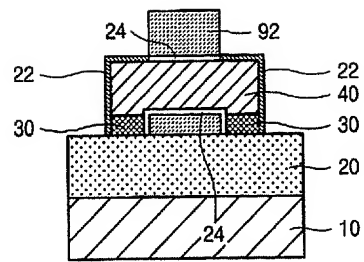
도면 8c



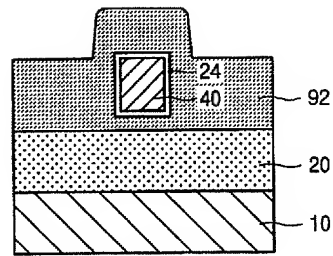
도면 9a



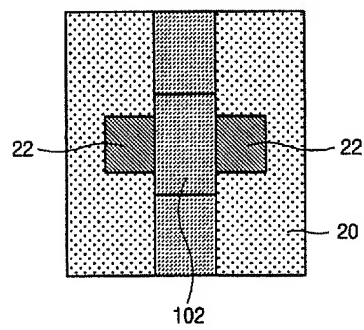
도면 9b



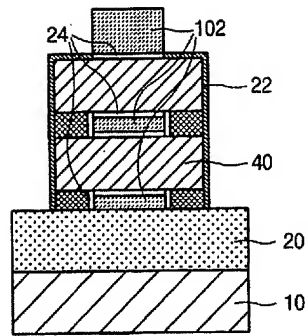
도면 9c



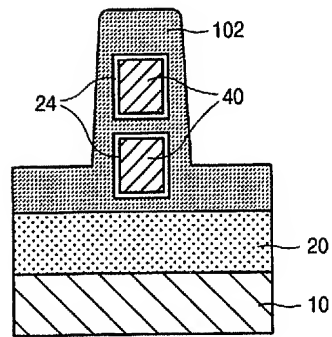
도면 10a



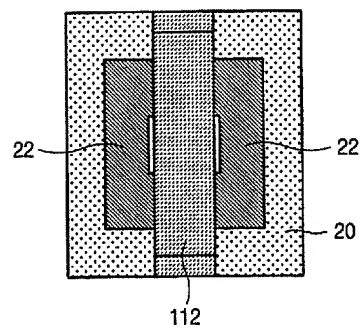
도면 10b



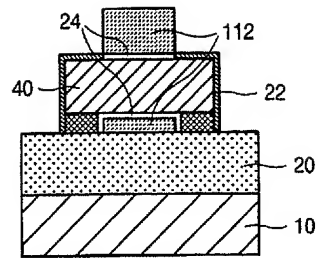
도면 10c



도면 11a



도면 11b



도면 11c

